



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08314513 A**(43) Date of publication of application: **29.11.96**

(51) Int. Cl.

G05B 19/05
H04L 7/04
H04L 25/08
H04L 25/40

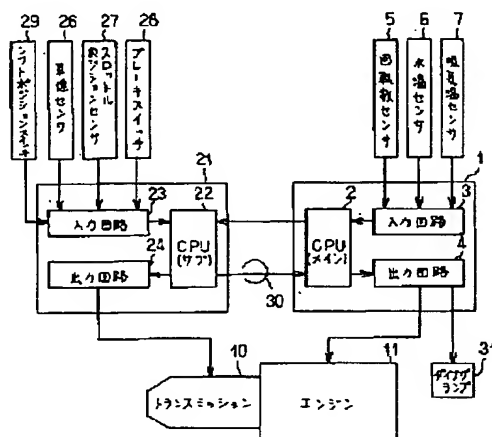
(21) Application number: **07123644**(71) Applicant: **NIPPONDENSO CO LTD**(22) Date of filing: **23.05.95**(72) Inventor: **KONDO HIROSHI**(54) **SERIAL COMMUNICATION EQUIPMENT**

(57) Abstract:

PURPOSE: To hasten read timing and to obtain correct data communication when the delay of read timing is detected in a communication equipment receiving and deciding serial data at the read timing of the prescribed number of times.

CONSTITUTION: The communication equipment 1 receiving and deciding serial data transmitted from a controller 21 via a communication line 30 at the read timing of the prescribed number of times measures a communication processing period for deciding the read timing and it hastens read timing for avoiding that data is not decided when read timing is delayed by the other interruption processing in the communication equipment 1.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-314513

(43) 公開日 平成8年(1996)11月29日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 5 B 19/05			G 0 5 B 19/05	L
H 0 4 L 7/04			H 0 4 L 7/04	B
25/08		9199-5K	25/08	Z
25/40		9199-5K	25/40	E

審査請求 未請求 請求項の数 8 O L (全 7 頁)

(21) 出願番号 特願平7-123644

(22) 出願日 平成7年(1995)5月23日

(71) 出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 近藤 浩

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

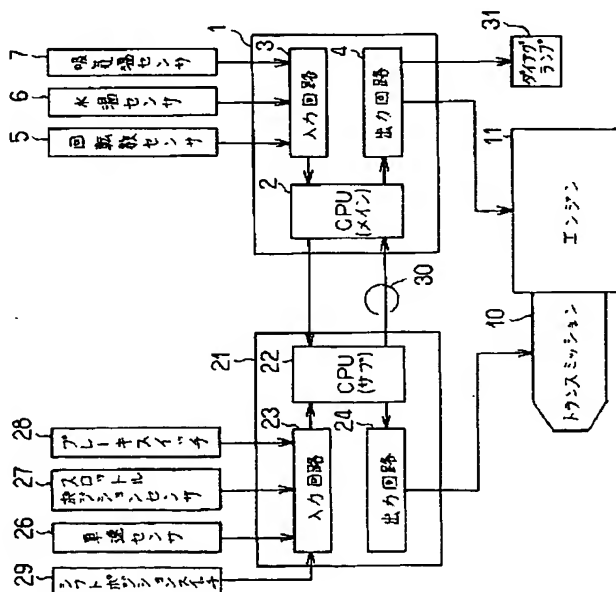
(74) 代理人 弁理士 碓氷 裕彦

(54) 【発明の名称】 シリアル通信装置

(57) 【要約】

【目的】 シリアルデータを所定回数の読込タイミングでデータを受信、確定する通信装置において、この読込タイミングの遅れを検出した場合においても、上述読込タイミングを早め、正確なデータ通信を得る。

【構成】 制御装置21から通信線30を経て送信されるシリアルデータを所定回数の読込タイミングで受信、確定する通信装置1は、この読込タイミングを決定する通信処理周期を計測し、この読込タイミングが通信装置1内の他の割込み処理等により遅れた場合、データの確定ができなくなることを防止するために、通信装置1は、上述読込タイミングを早める。



【特許請求の範囲】

【請求項1】 運転状態を検出する検出手段と、前記検出手段の出力に基づき車両を制御する制御手段と、前記制御手段に所定ビット長のシリアルデータの送信を行なう送信手段と、前記制御手段に設けられ、前記送信手段から送信されたシリアルデータを受信すると共に、所定期間毎に計数歩進する計数手段に基づき設定されたシリアルデータの読込タイミングが前記所定ビット長の中で設定されている受信手段と、前記受信手段により設定されている読込タイミングの中から読み込んだシリアルデータの内容を判定する判定タイミングを設定するデータ判定タイミング設定手段と、前記受信手段の処理遅れを検出する処理遅れ検出手段と、前記処理遅れ検出手段により前記処理遅れが検出された場合、前記判定タイミングを変更するタイミング変更手段とを有することを特徴とするシリアル通信装置。

【請求項2】 前記データ判定タイミングは、前記シリアルデータの所定ビット長の中心付近に設定されることを特徴とする請求項1に記載のシリアル通信装置。

【請求項3】 前記タイミング変更手段は、前記データ判定タイミングを早めることを特徴とする請求項1または2に記載のシリアル通信装置。

【請求項4】 前記タイミング変更手段は、更に、シリアルデータの内容判定後、前記計数手段を初期化することを特徴とする請求項3に記載のシリアル通信装置。

【請求項5】 前記シリアルデータは、前記検出手段が検出した運転状態と異常検出信号との少なくとも一つであることを特徴とする請求項1～4に記載のシリアル通信装置。

【請求項6】 前記シリアルデータにより前記送信手段が異常を検出した時は、異常警告することを特徴とする請求項5に記載のシリアル通信装置。

【請求項7】 前記異常警告は、警告灯と警告音と異常データ出力のいずれか1つによることを特徴とする請求項6に記載のシリアル通信装置。

【請求項8】 前記処理遅れ検出手段は、受信したデータの所定ビット長当たりの前記読込タイミング回数終了までの時間総和と受信したデータの所定ビット長当たりの通信時間との比率に基づき処理遅れを検出することを特徴とする請求項1に記載のシリアル通信装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明は、エンジン制御装置、トランスミッション制御装置等の制御手段を有する車両用制御装置において、シリアルデータを送受信するシリアル通信装置に関するものである。

【0002】

【従来の技術】 従来では、例えば、図2に示す様に、制御装置1の汎用入出力ポート2aは、通信線30を介して、制御装置21の汎用入出力ポート22aに接続されており、制御装置1の汎用入出力ポートを使用し、この入力ポートに受信したシリアルデータのポートレベル判定を通信処理自体のソフト処理負荷が小さい、時間割込み処理する通信装置、または、ベース処理内に通信処理を設定し、ベース処理周期毎に処理する通信装置等がある。

【0003】例えば、車速信号、スロットル開度信号、ブレーキ操作信号、シフトポジション信号がそれぞれ、データ1、データ2、データ3、データ4に対応するように構成されたシリアルデータが制御装置21から通信線30を介して、制御装置1に情報伝達される上述の通信装置では、制御装置21がこれらの信号またはセンサの異常を検出した場合、対応するシリアルデータを“Hi”レベルにするものであり、スロットル開度センサが異常となった場合には、データ2が“Hi”レベルとなり、その他のデータは“Lo”レベルとするものである。

【0004】

【発明が解決しようとする課題】例えば、制御装置21からスタートビットの後、“1”“0”“1”“0”の4ビットデータが送信された場合は、制御装置1は図5(a)に示すように信号のデータを検出する。つまり、制御装置1は、信号の各ビットに対し、“0”～“6”の読込タイミングを設定し、この読込タイミングのうちほぼ中心位置に相当する“2”～“4”の3回にデータ判定タイミングであるポートレベル判定タイミングを設定し、このポートレベル判定タイミングにて得られたポートレベルが同一のとき、データの内容を確定する。

【0005】しかし、時間割込みによる受信処理では、受信処理の割込み頻度が高く処理負荷が大きい場合、例えば、点火制御、噴射制御、アナログデジタル変換等の割込み処理に遅れが発生し、また、ベース処理による受信処理では、ベース処理周期は他の割込み処理が多発すると遅れるため、例えば、内燃機関が高回転時等の回転角割込みが多発するソフト処理負荷が大きい領域においては、ベース処理周期が遅れ、図5(b)に示すようにポートレベルを判定するためのベース処理1周期毎に設定される“2”～“4”のポートレベル判定タイミングが、上記信号のデータに対し、遅れる。

【0006】このため、図中Aに示すシリアルデータ“1”“0”“1”“0”のうち、最終ビットに相当する“0”を確定するためのポートレベル判定タイミング“4”では、既に、シリアルデータはアイドル状態になっており、シリアルデータの最終ビットの確定が不可能となり、シリアルデータの誤検出が発生するという問題がある。

【0007】更に、上記問題を解決するために高速処理

が可能な高性能CPUを使用することが考えられるが、制御装置のコストアップを招く。そこで、本発明は前記問題点を解決するために、読込タイミング、ポートレベル判定タイミング設定するベース処理周期の遅れに基づき、ポートレベル判定タイミングを変更することにより、コストを上げることなくソフト処理負荷の高い領域においても精度のよいシリアル通信装置を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明は、前記問題点を解決するために、運転状態を検出する検出手段と、前記検出手段の出力に基づき車両を制御する制御手段と、前記制御手段に所定ビット長のシリアルデータの送信を行なう送信手段と、前記制御手段に設けられ、前記送信手段から送信されたシリアルデータを受信すると共に、所定期間毎に計数歩進する計数手段に基づき設定されたシリアルデータの読込タイミングが前記所定ビット長の中で設定されている受信手段と、前記受信手段により設定されている読込タイミングの中から読み込んだシリアルデータの内容を判定する判定タイミングを設定するデータ判定タイミング設定手段と、前記受信手段の処理遅れを検出する処理遅れ検出手段と、前記処理遅れ検出手段により前記処理遅れが検出された場合、前記判定タイミングを変更するタイミング変更手段とを有することを特徴とするシリアル通信装置を提供するものである。

【0009】また、前記データ判定タイミングは、前記シリアルデータの所定ビット長の中心付近に設定されることを特徴とするシリアル通信装置としてもよい。また、前記タイミング変更手段は、前記データ判定タイミングを早めることを特徴とするシリアル通信装置としてもよい。また、前記タイミング変更手段は、更に、シリアルデータの内容判定後、前記計数手段を初期化することを特徴とするシリアル通信装置としてもよい。

【0010】また、前記シリアルデータは、前記検出手段が検出した運転状態と異常検出信号との少なくとも一つであることを特徴とするシリアル通信装置としてもよい。また、前記処理遅れ検出手段は、受信したデータの所定ビット長当たりの前記読込タイミング回数終了までの時間総和と受信したデータの所定ビット長当たりの通信時間との比率に基づき処理遅れを検出することを特徴とするシリアル通信装置としてもよい。

【0011】

【作用】前記構成よりなる本発明によれば、ソフト処理負荷の高い領域においても通信精度を確保するために、ポートレベル判定タイミング設定する処理周期の遅れを計測し、そのベース処理周期の遅れに基づき、ポートレベルを判定するポートレベル判定タイミングを変更する。

【0012】

【実施例】図1は本実施例のシリアル通信装置を適用し

たエンジン及びトランスミッションとそれらを電子制御する各制御装置のシステム全体構成を示したブロック図である。図1に示すように、エンジン制御装置（以下ECU1と記す）は、主としてCPU2、入力回路3、出力回路4及び図示しないROM、RAMから構成されている。

【0013】この入力回路3には、エンジン回転センサ5からエンジン回転数、エンジン水温センサ6からエンジン冷却水温、吸気温センサ7から吸気温等が入力されている。そして、ECU1は、出力回路4から燃料噴射量及び点火信号等を出力している。また、本実施例では、ECU1は、各センサの異常を検出した場合はダイアグランプ31を点灯する。

【0014】一方、トランスミッション制御装置（以下ECU21と記す）は、主としてCPU22、入力回路23、出力回路24及び図示しないROM、RAMから構成されている。この入力回路23には、車速センサ26から車速信号、スロットル開度センサ27からスロットル開度信号、ブレーキスイッチ28からブレーキ操作信号、シフトポジションスイッチ29からシフトポジション信号が入力されている。そして、ECU21は出力回路24からの変速要求等の信号をトランスミッション10に出力して制御している。

【0015】また、上記ECU1と上記ECU21との間には、通信線30が配線されており、この通信線30を介して、上記センサの異常検出信号をECU21からECU1に情報伝達を行なっている。上記ECU1内のCPU1にて電源投入後、周知の初期化処理の後、所定時間（例えば8ms）毎に実行される周知のベースルーチン内にある本実施例である通信処理を図3に示す。

【0016】まず、CPU1は、フリーランカウンタにより本処理の実行時刻を算出し、その実行時刻をメモリに記憶し（ステップ200）、本処理の今回実行時刻と前回実行時刻との差により、本処理の実行時間の間隔を算出する（ステップ201）。その後、図示しない電源投入後の初期化処理にてクリアされる後述の通信処理カウンタ値が所定値（例えば“6”）以上であるか判定し（ステップ202）、所定値以上と判断された場合、処理遅れ検出手段である遅れ率の演算が可能であると判断できるため、ステップ204に進む。

【0017】ステップ202にて、カウンタが所定値未満と判断された時は遅れ率の演算をしないようにするため、ステップ203に進み、この通信処理カウンタをインクリメントし、図4の①に進み、本処理を終了する。更に、ステップ204では、「ステップ201にて算出した1回の本処理の実行時間の間隔」と「予め設定された本処理の周期（例えば8ms）」との比率である遅れ率を

（「本処理実行時間の間隔」／「本処理周期」）の過去6回分の平均

尚、「本処理実行時間の間隔」は、「予め設定された本処理の周期（例えば8ms）」に対し、早く終了することではなく、「本処理実行時間の間隔」／「本処理周期」は1以上となる。から算出し、ステップ205に進み、図5（a）の”2”位置に相当するポートレベル判定タイミング（データ判定タイミング）の最初位置であるポート読込開始位置（CPTREAD）を決定するタイミングであるかを読込タイミングカウンタ値により判定する。

【0018】ステップ205にて、読込タイミングカウンタ値が0以外の時は、図4のステップ207に進み、読込タイミングカウンタ値が0の時は、タイミング変更手段である以下式

$$X1 = (\text{遅れ率} - 1) \times 6$$

$$\text{CPTREAD} = (\text{通常時のポート読込開始位置}) - X1$$

尚、X1は、処理遅れの比率の積算値を示し、小数以下は切り捨てとし、”6”は、読込回数／1ビットの間隔を示す。によりポート読込開始位置（CPTREAD）を決定する。

【0019】つまり、上式は、ベース処理周期毎に設定される読込タイミングの所定回数分の処理遅れの積算値（X1）が大きくなり、ポートレベル確定に必要な最終ポートレベル判定タイミング（図5（a）中”4”）が、シリアルデータ内の次のビットへのオーバーラップを防止するために、通常時のポート読込開始位置（図5（a）中”2”）を順次早めるものである。

【0020】その後、ステップ207では、通信データの最初に配置されるスタートビットが検出済みであるか判別し、スタートビット検出済みであれば、現在シリアルデータ受信中であるため、ステップ208に進み、スタートビットが未検出であれば、次のシリアルデータ受信に備え、ステップ220に進む。ステップ208では、読込タイミングカウンタ値と（6－（遅れ率－1）×6）とを比較することにより、1ビットの通信時間が経過したかを判定し、

$$\text{読込タイミングカウンタ値} = 6 - (\text{遅れ率} - 1) \times 6$$

の時は、1ビットの通信時間が経過したと判断し、ステップ210に進み、読込タイミングカウンタをクリアし、

$$\text{読込タイミングカウンタ値} \neq 6 - (\text{遅れ率} - 1) \times 6$$

の時は、1ビットの通信の最中と判断し、ステップ209に進み、引き続きポートレベル読込処理を継続するために、読込タイミングカウンタをインクリメントする。

【0021】更に、次のステップ211、212において、今回の本処理でポートレベルの読み込みを実施するかを判別し、読込タイミングカウンタ値がCPTREAD以上、CPTREAD+2以下の時、読み込みを実施

すると判断し、ステップ213に進み、ポートレベルを読み込み、記憶する。また、次のステップ214では、読込タイミングカウンタ値 = CPTREAD+2であるかにより、ポートレベルを3回読み込んだか判定し、ポートレベルを3回読み込んでいれば、ステップ215に進み、読み込んだポートレベルが一致しているか判定し、一致していれば、ステップ216に進み、ポートレベルを確定する。

【0022】ステップ211、212、214のいずれかで否定判断された場合、または、ステップ216が終了した場合はステップ217に進み、「規定ビット数受信」、または、「受信シリアルデータのアイドル状態検出」等により、シリアルデータの全ビットの受信が完了したか判定し、受信が完了していなければ、本処理を終了し、受信が完了してれば、通信データ確定後（ステップ218）、スタートビット検出用フラグをクリアし（ステップ219）、次のデータ受信に備える。

【0023】また、ステップ215にて、読み込んだポートレベルが一致しなかった場合は、シリアルデータ受信中にノイズ等の異常が発生したと考えられるため、ステップ219に進み、誤情報を保持しないように今回の一連の受信データをクリアし、無効にする。ステップ207にてスタートビットが検出されていないと判断された場合、シリアルデータのアイドル状態（例えば8ビット相当の”1”）後の最初の”0”であるスタートビットの検出処理を実行する。

【0024】次に、ステップ221にて、このスタートビットが検出されたか否かを判定し、検出されていない場合は、本処理を終了し、検出されていた場合は、ステップ211以降の受信処理を許可するために、ステップ222にて、スタートビット検出用フラグ、読込タイミングカウンタをクリアし、本処理を終了する。上記の通信処理を行なった時の動作を図6に示す。

【0025】図6においてもECU21のサブCPU22からECU1のメインCPU1へ1ビット長のスタートビットの後、”1””0””1””0”の4ビットデータ送信中にデータ割込み処理が多発し、ベース処理周期が長くなったために読込タイミング設定間隔が大きくなった場合を示しており、受信中のシリアルデータのビット長に対し、ポートレベル判定タイミングが遅れた状態である。

【0026】スタートビット、最初のビット”1”は、1ビット長に対しする読込タイミングのほぼ中心に設定している通常のポートレベル判定タイミング”2”～”4”にて検出できているが、（1）で示す2番目のビット以降の検出処理には遅れが発生している。このため、3番目のビット以降の検出処理では、ポートレベル判定タイミングを早め、（2）のポートレベル判定タイミングを読込タイミングの”1”～”3”に設定し、読込タイミング”5”終了時に読込タイミングの6回目をクリ

アし、次回のデータ受信を予め設定された読込タイミング、ポートレベル判定タイミングにて実行できるようにする。

【0027】(2)の読込タイミングにおいても遅れが発生した場合、(3)においても同様の処理を実行する。本実施例では、ポートレベル判定タイミングの進めすぎによるデータ受信不良を防止するために、ポートレベル判定タイミングを進める限界をシリアルデータの読込みができる最も早い読込タイミング"0"としている。

【0028】尚、本発明は上記の実施例に限定されるものではなく、以下のような変形または拡張が可能である。本実施例では、遅れ率を6回の平均により算出しているが、通信処理のスピードが必要な場合は、平均回数を小さくしてもよく、環境等により、正確な通信処理が必要な場合は、平均回数を大きくしてもよい。

【0029】また、本実施例では1ビット当たりの読込タイミングを6回にしているが、通信処理のスピード、精度が必要な場合は、読込タイミングを多くしてもよい。また、本実施例では、1ビット当たりの読込タイミング6回のうちポートレベル判定タイミングを3回にしているが、精度が必要な場合は、ポートレベル判定タイミングを多くしてもよく、スピードが必要な場合は、ポートレベル判定タイミングを少なくしてもよい。

【0030】また、本実施例では、シリアルデータとして、異常データを示しているが、運転状態を検出するセンサ出力の二進変換値、または、運転状態を示すスイッチのオン/オフ信号でもよい。また、異常検出時は、ダイアグランプを点灯(点滅)するようにしているが、警告音、または、異常データを記憶しておき、内外部のダイアグ検出装置へのデータ出力によって表示してもよい。

【0031】また、本実施例では、シリアルデータ受信処理遅れが発生した場合、ポートレベル判定タイミングを早めるが、早める限界を読込タイミングカウンタ値、または、スタートビット受信開始からの時間、または、

前ビット終了時からの時間、または、今ビット開始時からの時間の少なくとも1つによりガードしてもよい。

【0032】

【発明の効果】本発明は、ポートレベル判定タイミング設定周期の遅れを計測し、その処理周期の遅れに基づき、ポートレベル判定タイミングを変更することで、シリアル通信装置のソフト処理負荷の高い領域においても高精度の通信が得られるという効果がある。

【図面の簡単な説明】

【図1】本実施例のシリアル通信装置を適用したエンジン制御装置、及び、トランスミッション制御装置のシステム全体構成を示したブロック図である。

【図2】本実施例のシリアル通信装置を適用した電子制御装置間の通信データの構成図である。

【図3】本実施例の通信装置内にて実行される処理を示すフローチャートである。

【図4】本実施例の通信装置内にて実行される処理を示すフローチャートである。

【図5】(a)従来の通信装置の処理遅れがない時のタイミングチャートである。

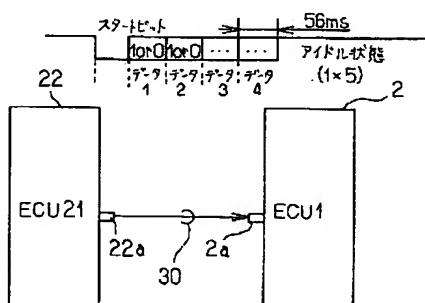
(b)従来の通信装置の処理遅れがある時のタイミングチャートである。

【図6】本実施例の通信装置を適用した時のタイミングチャートである。

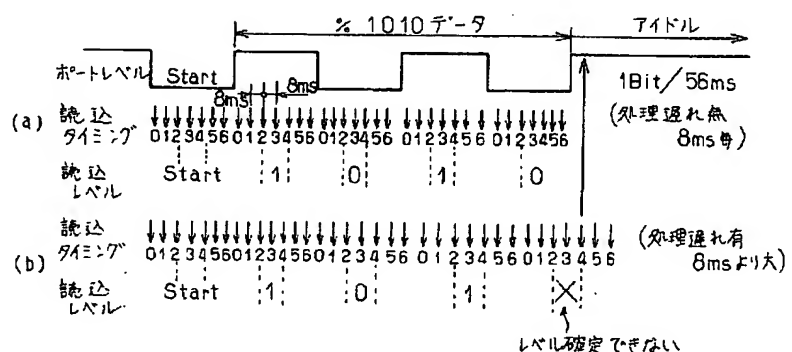
【符号の説明】

- 1 エンジン制御装置
- 2 CPU
- 3 入力回路
- 4 出力回路
- 10 トランスミッション
- 11 エンジン
- 21 トランスミッション制御装置
- 22 CPU
- 23 入力回路
- 24 出力回路

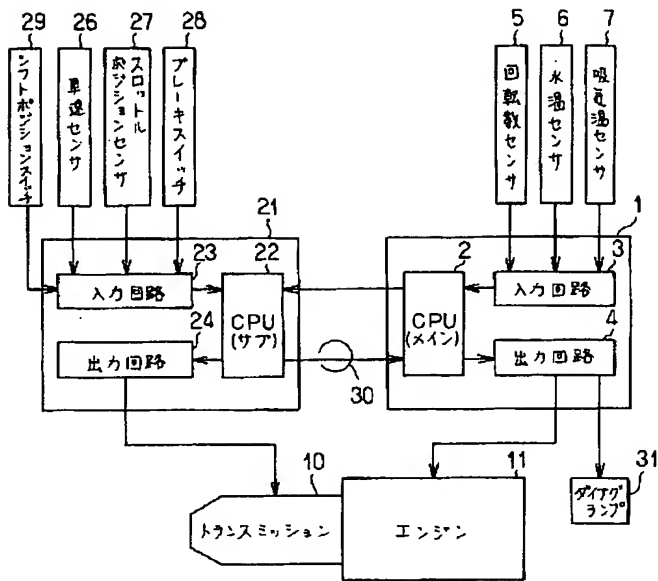
【図2】



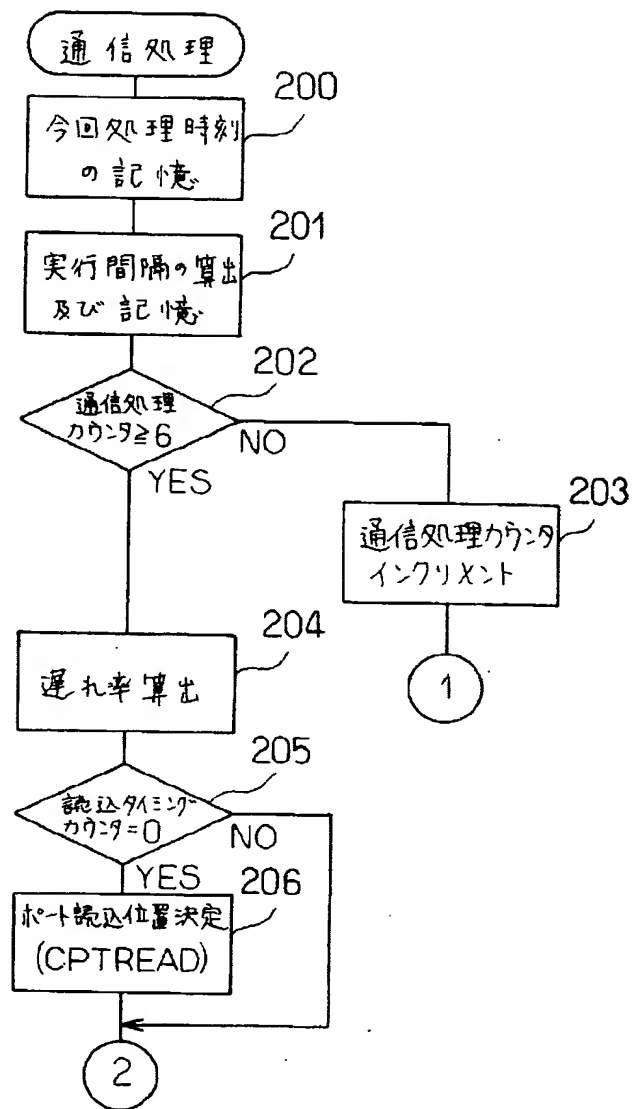
【図5】



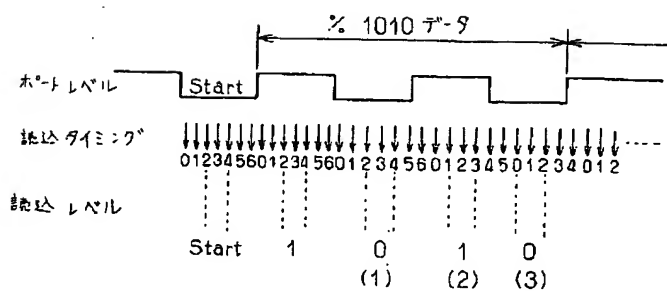
【図 1】



【図 3】



【図 6】



【図4】

